

DERWENT-ACC-NO: 1998-039739

DERWENT-WEEK: 199804

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Loop filter circuit used in phase locked loop  
- uses buffer amplifier to connect level limiter to  
resistor connected to first capacitor to form series  
circuit connected parallel to second capacitor between  
output and negative input terminals of operational  
amplifier

PATENT-ASSIGNEE: VICTOR CO OF JAPAN[VICO]

PRIORITY-DATA: 1996JP-0129154 (April 24, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 09294051 A ✓	November 11, 1997	N/A
009 H03H 011/04		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 09294051A	N/A	1996JP-0129154
April 24, 1996		

INT-CL (IPC): H03H011/04, H03H011/12 , H03L007/093

ABSTRACTED-PUB-NO: JP 09294051A

BASIC-ABSTRACT:

The circuit (LF1) includes a series connection of a resistor (R2) and a first capacitor (C1) which is connected parallel to a second capacitor (C2) between the negative polarity terminal and the output terminal of an operational amplifier (OA).

The phase-comparison signal (Vi) output from a phase comparator (I)

is input to  
the negative polarity terminal of the operational amplifier. A level  
limiter  
(LL) is connected across the resistor through a buffer amplifier  
(BA).

ADVANTAGE - Attains rapid response, and suppresses high-frequency  
jitter  
through second capacitor.

CHOSEN-DRAWING: Dwg.1/11

TITLE-TERMS: LOOP FILTER CIRCUIT PHASE LOCK LOOP BUFFER AMPLIFY  
CONNECT LEVEL

LIMIT RESISTOR CONNECT FIRST CAPACITOR FORM SERIES  
CIRCUIT CONNECT  
PARALLEL SECOND CAPACITOR OUTPUT NEGATIVE INPUT TERMINAL  
OPERATE  
AMPLIFY

ADDL-INDEXING-TERMS:  
PLL

DERWENT-CLASS: U23 ·U24 U25

EPI-CODES: U23-D01A7; U24-C02A; U25-E01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-032211



1

## 【特許請求の範囲】

【請求項1】PLLに用いられるループフィルタ回路において、位相比較器から出力された位相比較信号を負極性端子にされ、且つ、抵抗及びこの抵抗と直列に接続した第1のコンデンサと、第2のコンデンサとを前記負極性端子と出力端子間に夫々並列に接続したオペアンプと、前記抵抗の両端間にバッファアンプを介して接続したレベルリミッタとを具備したことを特徴とするループフィルタ回路。

【請求項2】PLLに用いられるループフィルタ回路において、位相比較器から出力された位相比較信号を負極性端子にされ、且つ、抵抗及びこの抵抗と直列に接続した第1のコンデンサと、第2のコンデンサとを前記負極性端子と出力端子間に夫々並列に接続したオペアンプと、前記抵抗の両端間の電位差を監視する電位差監視回路と、前記電位差監視回路で監視した前記電位差が所定の設定レベルを越えたことを判別するレベル判別回路と、前記レベル判別回路で判別した結果により前記抵抗のいずれか一方の端子に電流を加算する電流加算回路とを具備したことを特徴とするループフィルタ回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLLに用いられるループフィルタ回路に関するものである。

【0002】

【従来の技術】一般的に、PLL(Phase Locked Loop)は、図8に示すように、内部に位相比較器I、ループフィルタ回路LF、誤差信号増幅器A、電圧制御発振器VCO(Voltage Controlled Oscillator)を有する帰還系である。上記位相比較器Iは、入力信号Vの周波数ならびに位相と、VCOの発振周波数ならびに位相とを比較し、その誤差に比例した位相比較信号Viを発生する。この位相比較信号Viはループフィルタ回路LFを通して制御信号VcとしてVCOに加えられ、入力信号VとVCOの出力信号Oとの周波数差ならびに位相差を低減する方向にVCOの発生周波数を変化させるものである。

【0003】一方、図9及び図10に示したように、この種のPLLに用いられる従来の一般的なループフィルタ回路100、200は、周知の抵抗、コンデンサ、オペアンプを用いて夫々図示のように接続して構成されており、図9及び図10に構成部材の符号だけを付す。

【0004】上記ループフィルタ回路100、200は、共にチャージポンプ式と呼ばれる手法によるものである。そして、前者のループフィルタ回路100は定常位相誤差をなくしつつ安定な応答特性を得るものであり、一方、後者のループフィルタ回路200は更に高域

2

ジッタの抑圧をも狙った回路である。

【0005】また、PLLに用いられる従来の一般的なループフィルタ回路の他例が特開平3-119818号公報に図11に示した如く開示されている。

【0006】図11に示した如く、リミッタ回路306を採用したループフィルタ回路300では、位相比較器(図示せず)から出力された位相比較信号Viが抵抗301を介してオペアンプ302の反転入力端子に接続されている。また、オペアンプ302の反転入力端子と出力端子との間には、コンデンサ303及びこのコンデンサ303と直列に接続した抵抗304と、コンデンサ305及びこのコンデンサ305と直列に接続したリミッタ回路306とが夫々並列に接続されている。この際、リミッタ回路306は2個のダイオード306a、306bを用いて図示のように接続されている。

【0007】上記の構成によるループフィルタ回路300において、位相比較信号Viに振幅の大きい交流電圧が加わった時には、ダイオード306a、306bのインピーダンスがダイオード306a、306bに加わる電圧に対して指数的に低くなるため、コンデンサ305のインピーダンスが十分低くなるような周波数であれば出力振幅はダイオード306a、306bのオン電圧に制限される。このため、位相比較信号Viがある程度高い周波数であり且つ振幅の大きい信号に対してリミッタ回路306が動作して不要な信号を制限し且つオペアンプ302の飽和を防いでいる。この回路目的は、PLLのデッドロックに結びつくオペアンプ302の飽和を防ぐことが第一義であり、この結果としてリミッタ回路306が動作する時は不要な高域ジッタが制限されたと理解できるものである。

【0008】

【発明が解決しようとする課題】ところで、上記リミッタ回路306を採用したループフィルタ回路300では、入力信号Vの高域ジッタが大きい場合に想定されるような、位相比較信号Viがある程度高い周波数であり且つ振幅の大きい信号に対してリミッタ回路306が動作しているものの、入力信号Vの周波数が例えばステップ状に大きく急変した時にPLLを速く応答させるためのものでなく、更に、入力信号Vの周波数が大きく急変しない時に高域ジッタの発生を押さえるものでない。

【0009】また、前述した一般的なループフィルタ回路100、200も、入力信号Vの周波数が大きく急変した時にPLLの速い応答性が得られるものでない。その理由を以下に述べる。

【0010】上記ループフィルタ回路100、200、300において、入力信号Vの周波数がステップ状に大きく急変した時のPLLの追従性の速さは、例えば図11中のコンデンサ303及び抵抗304で設定される時定数に依存するところが大きい。ここで、時定数が小さいほど応答性が良くなるものの、時定数が小さいと低

域変動に追従し易くなるために低域ジッタは多くなる。つまり、ループフィルタ回路100, 200, 300では、入力信号Vの周波数が大きく変化した時の応答性の良さと、低域ジッタの少なさとの両立が困難である。

【0011】そこで、入力信号Vの周波数変化に対応して、大きな変化時には速い応答性をもち、且つ、小さな変化時にはジッタを抑圧できるループゲイン特性の良いループフィルタ回路が望まれている。

【0012】

【課題を解決するための手段】本発明は上記課題に鑑みてなされたものであり、第1の発明は、PLLに用いられるループフィルタ回路において、位相比較器から出力された位相比較信号を負極性端子に入力され、且つ、抵抗及びこの抵抗と直列に接続した第1のコンデンサと、第2のコンデンサとを前記負極性端子と出力端子間に夫々並列に接続したオペアンプと、前記抵抗の両端間にバッファアンプを介して接続したレベルリミッタとを具備したことを特徴とするループフィルタ回路である。また、第2の発明は、PLLに用いられるループフィルタ回路において、位相比較器から出力された位相比較信号を負極性端子に入力され、且つ、抵抗及びこの抵抗と直列に接続した第1のコンデンサと、第2のコンデンサとを前記負極性端子と出力端子間に夫々並列に接続したオペアンプと、前記抵抗の両端間の電位差を監視する電位差監視回路と、前記電位差監視回路で監視した前記電位差が所定の設定レベルを越えたことを判別するレベル判別回路と、前記レベル判別回路で判別した結果により前記抵抗のいずれか一方の端子に電流を加算する電流加算回路とを具備したことを特徴とするループフィルタ回路である。

【0013】

【発明の実施の形態】以下に本発明に係わるループフィルタ回路の実施例を図1乃至図7を参照して<第1実施例>、<第2実施例>、<第3実施例>の順に詳細に説明する。

【0014】

【実施例】

<第1実施例>図1は本発明に係わる第1実施例のループフィルタ回路を示した図、図2は同第1実施例のループフィルタ回路を採用したPLLのループゲイン特性を説明するための図、図3(A)、(B)は同第1実施例のループフィルタ回路の動作を説明するための波形図である。

【0015】図1に示した本発明に係わる第1実施例のループフィルタ回路LF1は、先に図8を用いて説明したPLL(Phase Locked Loop)に用いられるものである。

【0016】即ち、図1に示した本発明に係わる第1実施例のループフィルタ回路LF1において、位相比較器Iは入力信号Vと電圧制御発振器VCO(Voltage Cont

rolled Oscillator)からの出力信号Oとを位相比較して位相比較信号Viを出力している。この位相比較信号Viは、ハイレベルH、又は入力がないハイ・インピーダンスHZ、又はローレベルLの3つの状態を取り得るものである。ここで、位相比較信号Viは第1の抵抗R1を介してオペアンプOAの負(-)極性端子に入力される一方、位相比較信号ViのハイレベルHとローレベルLの中間の電位となるリファレンス信号REFがオペアンプOAの正(+)極性端子に入力されている。

10 【0017】また、オペアンプOAの負(-)極性端子と出力端子との間には、第2の抵抗R2及びこの抵抗R2と直列に接続した第1のコンデンサC1と、第2のコンデンサC2とが夫々並列に接続されている。

【0018】更に、抵抗R2の両端間には、本発明の要部となるバッファアンプBAと、2個のダイオードD1、D2を用いたレベルリミッタLLとが直列に接続されている。即ち、抵抗R2のオペアンプOAとの接続部からバッファアンプBAの入力端子へ入力している。また、バッファアンプBAの出力端子からレベルリミッタLLの一端に接続し、且つ、レベルリミッタLLの他端は抵抗R2とコンデンサC1のとの間に接続されている。ここで、抵抗R2の両端間にバッファアンプBAを介して接続したレベルリミッタLLは、2個のダイオードD1、D2の向きを図示のように+-の互いの逆極を各々接続し、且つ、ダイオードD1、D2の接続部がレベルリミッタLLの一端、他端となるように設けている。

30 【0019】次に、図2に示した如く、上記の構成による第1実施例のループフィルタ回路LF1を採用したPLL(Phase Locked Loop)のループゲイン特性は、PLLをかけるための入力信号Vの周波数fが、例えば周波数f1以下の範囲では-12dB/OCTの傾斜となり、周波数f1より高く且つ周波数f2より低い範囲では-6dB/OCTの傾斜となり、周波数f2以上の範囲では-12dB/OCTの傾斜となり、各傾斜の交点となる周波数f1、f2で傾斜が緩やかにクロスしている。

40 【0020】この際、コンデンサC1の値がコンデンサC2の値より十分大きいとして第1実施例のループフィルタ回路LF1を設計するならば、周波数f1はコンデンサC1と抵抗R2により算出できその概略値は周波数 $f_1 = 1/2\pi C_1 R_2$ となり、周波数f2はコンデンサC2と抵抗R2により算出できその概略値は周波数 $f_2 = 1/2\pi C_2 R_2$ となると共に、周波数f1と周波数f2の間の-6dB/OCTの傾斜と0dBゲインラインとが交わる点にループゲイン交点周波数fxがある。

50 【0021】次に、上記の構成による第1実施例のループフィルタ回路LF1の動作を、①入力信号Vの周波数fが大きく急変した時と、②入力信号Vの周波数fが大

5

大きく急変しない時とに別けて、図1乃至図3を併用して説明する。

【0022】まず、①入力信号Vの周波数fが大きく急変した時には、抵抗R<sub>2</sub>の両端にバッファアンプBAを介して接続したレベルリミッタLLが動作する。即ち、図3(A)に示した如く、入力信号Vの周波数fが大きく急変する時には、位相比較器Iから出力された位相比較信号Viが例えばハイ・インピーダンスHZから長時間に亘ってローレベルLに変化する。このローレベルLの期間中において、抵抗R<sub>2</sub>の両端電圧E<sub>R2</sub>がコンデンサC<sub>2</sub>のチャージが進むある時間を過ぎるとレベルリミッタLLの両端電圧E<sub>LL</sub>に押さえられる。この場合には、バッファアンプBAからの電流をレベルリミッタLLを介してコンデンサC<sub>1</sub>に供給して、コンデンサC<sub>1</sub>へのチャージを強力に行うことで、実質的にコンデンサC<sub>1</sub>の容量が低くなったように動作するため、入力信号Vのうちでループゲイン交点周波数f<sub>x</sub>以下の周波数f<sub>1</sub>が一時的に高くなり応答性の良いループフィルタを実現できる。これを、VCOへのコントロール信号Cの変化で見ると、レベルリミッタLLがない場合に比べて早い時間で立ち上がっており、位相誤差が小さい状態で希望するコントロール電圧へ達する優れた応答性が得られている。

【0023】次に、②入力信号Vの周波数fが大きく急変しない時には、レベルリミッタLLが動作しない。即ち、図3(B)に示した如く、入力信号Vの周波数fが大きく急変しない時には、位相比較器Iから出力された位相比較信号Viが例えばハイ・インピーダンスHZから短時間に亘ってローレベルLに変化する。このローレベルLの期間中では、抵抗R<sub>2</sub>の両端電圧E<sub>R2</sub>がコンデンサC<sub>2</sub>のチャージに伴って、ある程度まで上昇するものの、ほどなくコントロール電圧が希望値に達するため、レベルリミッタLLの両端電圧E<sub>LL</sub>の値まで到達しない。この場合には、レベルリミッタLLが動作しないため、本来のコンデンサC<sub>1</sub>の効果が発揮でき、入力信号Vのうちでループゲイン交点周波数f<sub>x</sub>以下の周波数f<sub>1</sub>を低く保って低域ジッタの少ないループフィルタを実現できる。

【0024】更に、入力信号Vの周波数fが急変する時もしない時も、ループゲイン交点周波数f<sub>x</sub>以上の高い周波数f<sub>2</sub>を越える範囲に対してコンデンサC<sub>2</sub>の働きにより高域ジッタを押さえることができる。

【0025】＜第2実施例＞図4は本発明に係わる第2実施例のループフィルタ回路を示した図、図5は本発明に係わる第2実施例のループフィルタ回路を一部変形して示した図である。

【0026】図4に示した本発明に係わる第2実施例のループフィルタ回路LF2Aは、先に説明した第1実施例のループフィルタ回路LF1と一部を除いて同様の構成であり、ここでは説明の便宜上、先に示した構成部材

6

に対しては同一の符号を付し、且つ、異なる構成部材に新たな符号を付して、第1実施例と異なる点を中心に説明する。

【0027】図4に示した如く、本発明に係わる第2実施例のループフィルタ回路LF2Aでは、レベルリミッタLLに2個のトランジスタTr<sub>1</sub>、Tr<sub>2</sub>を用いた点のみが第1実施例と異なっている。

【0028】即ち、レベルリミッタLLを構成する2個のトランジスタTr<sub>1</sub>、Tr<sub>2</sub>は、npn型とpnp型とを閉ループ状態で接続し、且つ、トランジスタTr<sub>1</sub>、Tr<sub>2</sub>間にレベルリミッタLLの一端、他端を夫々設けている。

【0029】この第2実施例のループフィルタ回路LF2Aでも、先に説明した第1実施例のループフィルタ回路LF1と同様に、①入力信号Vの周波数fが大きく急変した時にはレベルリミッタLLが動作する一方、②入力信号Vの周波数fが大きく急変しない時にはレベルリミッタLLが動作しないため、第1実施例と同様の効果を得られる。

【0030】尚、図5に示した如く、第2実施例を一部変形したループフィルタ回路LF2Bは、第1のコンデンサC<sub>1</sub>を抵抗R<sub>2</sub>の前に接続し、これに伴ってレベルリミッタLL、バッファアンプBAも図示のように接続して構成したものであり、上記ループフィルタ回路LF2Aと略同様な動作により略同様な効果が得られるものである。

【0031】＜第3実施例＞図6は本発明に係わる第3実施例のループフィルタ回路を示した図、図7は本発明に係わる第3実施例のループフィルタ回路を一部変形して示した図である。

【0032】図6に示した本発明に係わる第3実施例のループフィルタ回路LF3Aは、先に説明した第1、第2実施例のループフィルタ回路LF1、LF2A、LF2Bと一部を除いて同様の構成であり、ここでは説明の便宜上、先に示した構成部材に対しては同一の符号を付し、且つ、異なる構成部材に新たな符号を付して、第1実施例と異なる点を中心に説明する。

【0033】図6に示した如く、本発明に係わる第3実施例のループフィルタ回路LF3Aでは、第1、第2実施例で説明したバッファアンプBAとレベルリミッタLLとを設けることなく、これらに代えて抵抗R<sub>2</sub>の両端に電位差監視回路VK、レベル判別回路LH、電流加算回路IKを順に接続している。

【0034】即ち、抵抗R<sub>2</sub>の両端に接続した電位差監視回路VKは、抵抗R<sub>2</sub>の両端間の電位差を監視し、この監視した電位差をレベル判別回路LHに出力している。レベル判別回路LHは、監視した電位差と、ここに入力した所定の設定レベルとを比較して、監視した電位差が所定の設定レベルを越えたことを判別すると、電流加算制御信号を電流加算回路IKに出力するので、電流

7

加算回路 I K は電流を抵抗  $R_2$  の図示した一方の端子に出力して、この電流を第 1 のコンデンサ  $C_1$  に供給している。

【0035】従って、上記構成に伴う動作によって、とくに、①入力信号  $V$  の周波数  $f$  が大きく急変した時には、抵抗  $R_2$  の両端間の電位差が所定の設定レベルを越え、これに伴って電流加算回路 I K から電流を第 1 のコンデンサ  $C_1$  に供給して、第 1 のコンデンサ  $C_1$  へのチャージを強力に行うことで、実質的に第 1 のコンデンサ  $C_1$  の容量が低くなったように動作するため、入力信号  $V$  のうちでループゲイン交点周波数  $f_x$  以下の周波数  $f_1$  が一時的に高くなり応答性の良いループフィルタを実現できる。

【0036】一方、②入力信号  $V$  の周波数  $f$  が大きく急変しない時には、電流加算回路 I K が動作しないため、本来のコンデンサ  $C_1$  の効果が発揮でき、入力信号  $V$  のうちでループゲイン交点周波数  $f_x$  以下の周波数  $f_1$  を低く保って低域ジッタの少ないループフィルタを実現できる。

【0037】更に、入力信号  $V$  の周波数  $f$  が急変する時もしない時も、ループゲイン交点周波数  $f_x$  以上の高い周波数  $f_2$  を越える範囲に対してコンデンサ  $C_2$  の働きにより高域ジッタを押さえることができる。

【0038】尚、図 7 に示した如く、第 3 実施例を一部変形したループフィルタ回路 L F 3 B は、第 1 のコンデンサ  $C_1$  を抵抗  $R_2$  の前に接続し、これに伴って電流加算回路 I K からの電流を抵抗  $R_2$  の図示した他方の端子に出力して、この電流を抵抗  $R_2$  の前に接続した第 1 のコンデンサ  $C_1$  に供給するように構成したものであり、上記ループフィルタ回路 L F 3 A と略同様な動作により略同様な効果が得られるものである。

【0039】

【発明の効果】以上詳述した本発明に係わるループフィルタ回路 L F において、第 1 の発明によると、位相比較器 I から出力された位相比較信号  $V_i$  をオペアンプ O A の負極性端子に入力し、且つ、抵抗  $R_2$  及びこの抵抗  $R_2$  と直列に接続した第 1 のコンデンサ  $C_1$  と、第 2 のコンデンサ  $C_2$  とをオペアンプ O A の負極性端子と出力端子間に夫々並列に接続すると共に、前記抵抗  $R_2$  の両端間にバッファアンプ B A を介してレベルリミット L L を接続したため、①入力信号  $V$  の周波数  $f$  が大きく急変した時には、抵抗  $R_2$  の両端間にバッファアンプ B A を介して接続したレベルリミット L L が動作することにより、バッファアンプ B A からの電流をレベルリミット L L を介して第 1 のコンデンサ  $C_1$  に供給して、第 1 のコンデンサ  $C_1$  へのチャージを強力に行うことで、実質的に第 1 のコンデンサ  $C_1$  の容量が低くなったように動作するため、入力信号  $V$  のうちでループゲイン交点周波数  $f_x$  以下の周波数  $f_1$  が一時的に高くなり応答性の良いループフィルタを実現できる。一方、②入力信号  $V$  の周波数

8

$f$  が大きく急変しない時には、レベルリミット L L が動作しないため、本来のコンデンサ  $C_1$  の効果が発揮でき、入力信号  $V$  のうちでループゲイン交点周波数  $f_x$  以下の周波数  $f_1$  を低く保って低域ジッタの少ないループフィルタを実現できる。更に、入力信号  $V$  の周波数  $f$  が急変する時もしない時も、ループゲイン交点周波数  $f_x$  以上の高い周波数  $f_2$  を越える範囲に対してコンデンサ  $C_2$  の働きにより高域ジッタを押さえることができる。また、第 2 の発明によると、位相比較器 I から出力された位相比較信号  $V_i$  をオペアンプ O A の負極性端子に入力し、且つ、抵抗  $R_2$  及びこの抵抗  $R_2$  と直列に接続した第 1 のコンデンサ  $C_1$  と、第 2 のコンデンサ  $C_2$  とをオペアンプ O A の負極性端子と出力端子間に夫々並列に接続すると共に、抵抗  $R_2$  の両端間に電位差監視回路 V K、レベル判別回路 L H、電流加算回路 I K を順に接続したため、とくに、①入力信号  $V$  の周波数  $f$  が大きく急変した時には、抵抗  $R_2$  の両端間の電位差が所定の設定レベルを越え、これに伴って電流加算回路 I K から電流を第 1 のコンデンサ  $C_1$  に供給して、第 1 のコンデンサ  $C_1$  へのチャージを強力に行うことで、実質的に第 1 のコンデンサ  $C_1$  の容量が低くなったように動作するため、入力信号  $V$  のうちでループゲイン交点周波数  $f_x$  以下の周波数  $f_1$  が一時的に高くなり応答性の良いループフィルタを実現できる。一方、②入力信号  $V$  の周波数  $f$  が大きく急変しない時には、電流加算回路 I K が動作しないため、本来のコンデンサ  $C_1$  の効果が発揮でき、入力信号  $V$  のうちでループゲイン交点周波数  $f_x$  以下の周波数  $f_1$  を低く保って低域ジッタの少ないループフィルタを実現できる。更に、入力信号  $V$  の周波数  $f$  が急変する時もしない時も、ループゲイン交点周波数  $f_x$  以上の高い周波数  $f_2$  を越える範囲に対してコンデンサ  $C_2$  の働きにより高域ジッタを押さえることができる。

【図面の簡単な説明】

【図 1】本発明に係わる第 1 実施例のループフィルタ回路を示した図である。

【図 2】本発明に係わる第 1 実施例のループフィルタ回路を採用した PLL のループゲイン特性を説明するための図である。

【図 3】(A)、(B) は本発明に係わる第 1 実施例のループフィルタ回路の動作を説明するための波形図である。

【図 4】本発明に係わる第 2 実施例のループフィルタ回路を示した図である。

【図 5】本発明に係わる第 2 実施例のループフィルタ回路を一部変形して示した図である。

【図 6】本発明に係わる第 3 実施例のループフィルタ回路を示した図である。

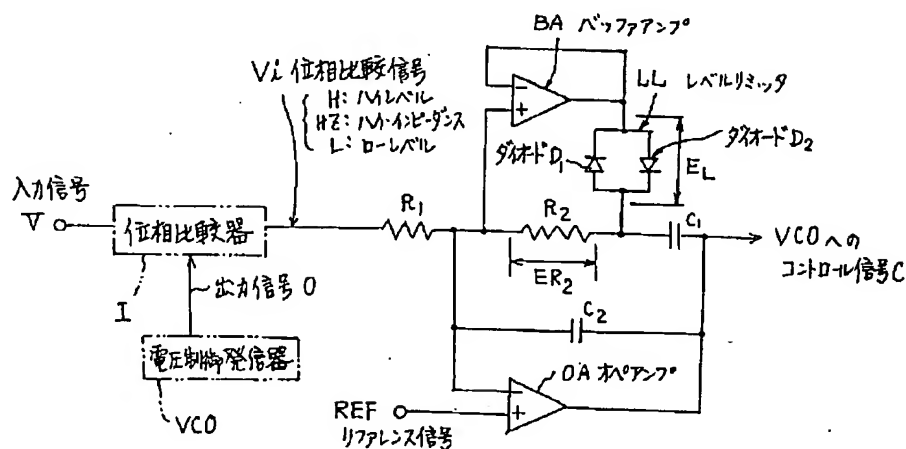
【図 7】本発明に係わる第 3 実施例のループフィルタ回路を一部変形して示した図である。

【図 8】一般的な PLL を示した図である。

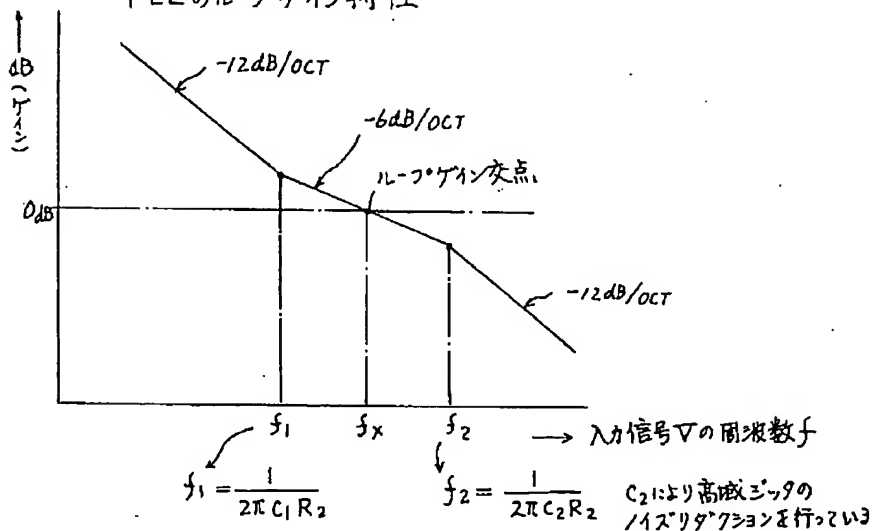
V i …位相比較信號。

C<sub>1</sub> …第1のコンデンサ、

第1実施例のループフィルタ回路LF1



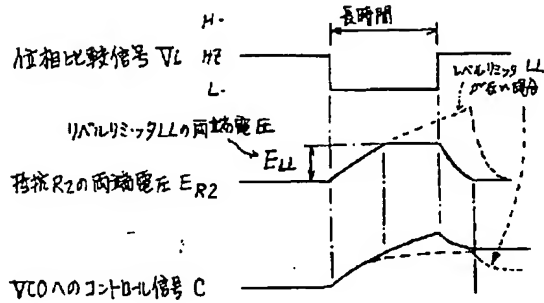
## PLLのループゲイン特性



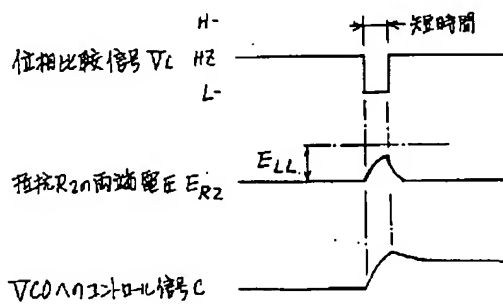


【図3】

(A) 入力信号Vの周波数が大きく急変しE時

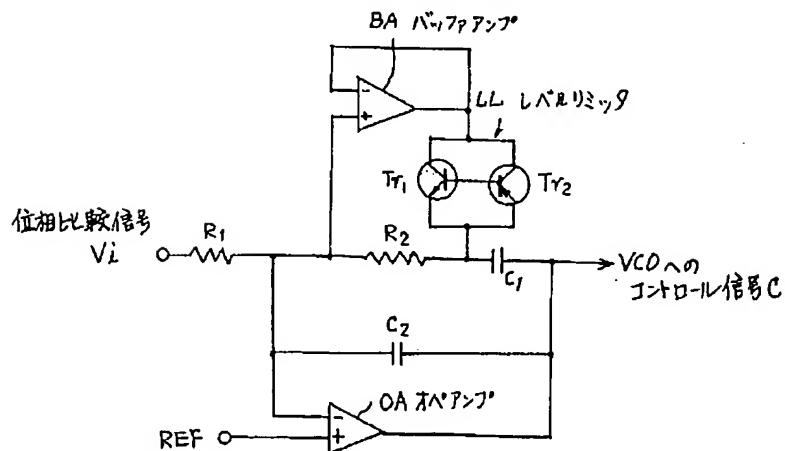


(B) 入力信号Vの周波数が大きく急変しない時

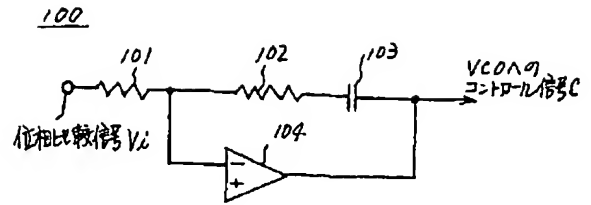


【図4】

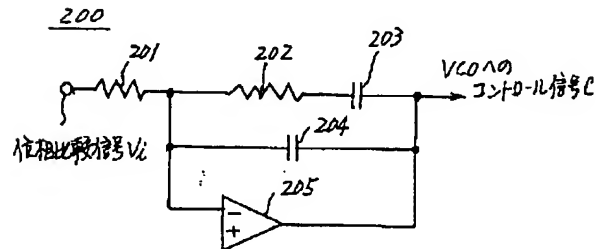
## 第2実施例のループフィルタ回路 LF2A



【図9】

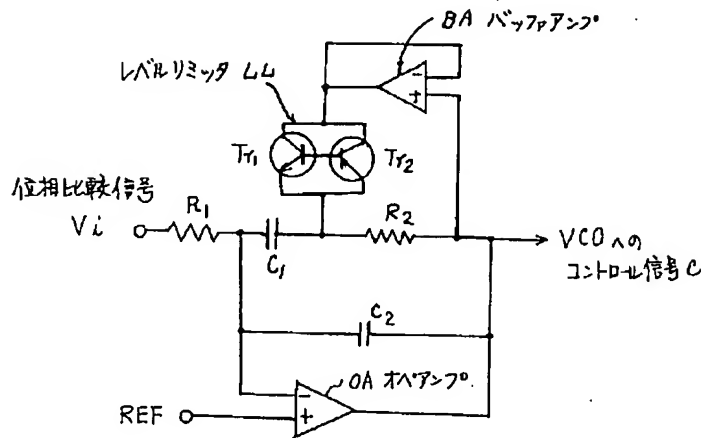


【図10】



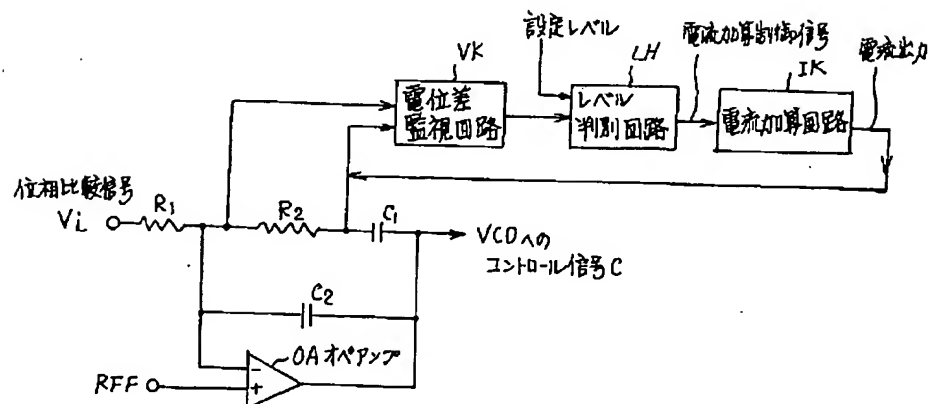
【図5】

第2実施例を一部変形したルーフフィルタ回路 LF2B



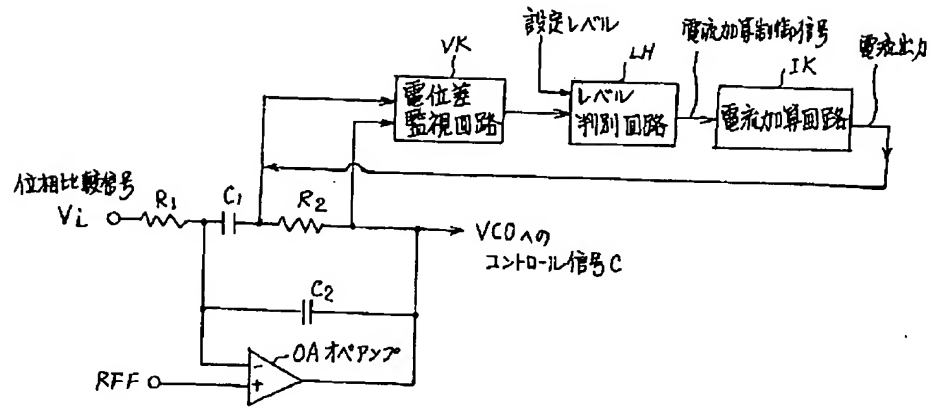
【図6】

第3実施例のルーフフィルタ回路 LF3A

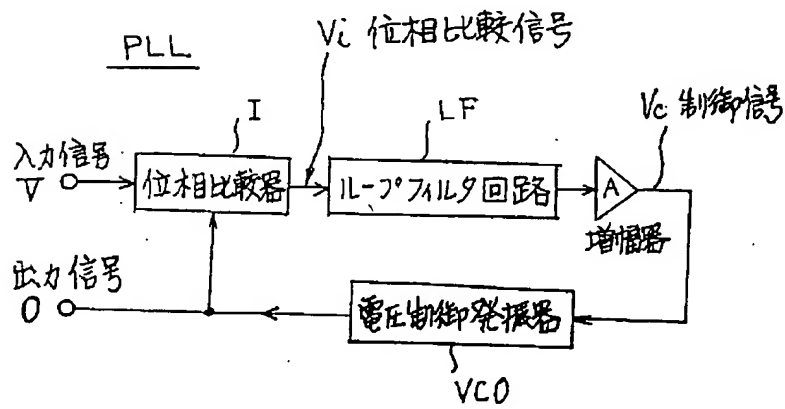


【図7】

第3実施例を一部変形したループフィルタ回路 LF3B



【図8】



【図11】

